

?s pn=jp 2001250932  
S4 1 PN=JP 2001250932  
?t s4/5

4/5/1

DIALOG(R)File 347:JAPIO  
(c) 2005 JPO & JAPIO. All rts. reserv.

07023300 \*\*Image available\*\*  
IMAGE SENSOR AND ITS MANUFACTURING METHOD

PUB. NO.: ~~2001-250932~~ [\*JP 2001250932\* A]  
PUBLISHED: September 14, 2001 (20010914)  
INVENTOR(s): NAGATA HISASHI  
IZUMI YOSHIHIRO  
APPLICANT(s): SHARP CORP  
APPL. NO.: 2000-062542 [JP 200062542]  
FILED: March 07, 2000 (20000307)  
INTL CLASS: H01L-027/146; H01L-029/786

#### ABSTRACT

PROBLEM TO BE SOLVED: To effectively discharge charges by a double gate structure with suppressing the capacitance increase between pixel electrodes and signal lines in an image sensor using a TFT active matrix substrate.

SOLUTION: On a transparent insulative substrate 5, scanning lines 3 and gate electrodes 6 of switching elements 1 are formed, a gate insulation film 7, a semiconductor layer 8, an n+ Si layer 9 for forming source and drain electrodes are laminated, a dielectric layer 22 is formed after patterning, parts of contact holes 15 are removed by etching, a photosensitive resin is applied to form a layer insulation film 13, transparent electrodes 14b extending from pixel electrodes 14 onto the switching element 1 are formed, and a conversion layer 16 and a gold layer 17 for electrodes are deposited. The layer insulation film 13 suppresses the capacitance increase between the pixel electrodes and signal lines, and the transparent electrodes 14b become top gates to discharge excessive charges.

COPYRIGHT: (C)2001,JPO  
?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-250932

(P2001-250932A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード (参考)
H 0 1 L 27/146		H 0 1 L 27/14	C 4 M 1 1 8
29/786		29/78	6 1 7 N 5 F 1 1 0

審査請求 未請求 請求項の数6 O L (全 11 頁)

(21) 出願番号 特願2000-62542(P2000-62542)

(22) 出願日 平成12年3月7日 (2000.3.7)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 永田 尚志

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 和泉 良弘

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

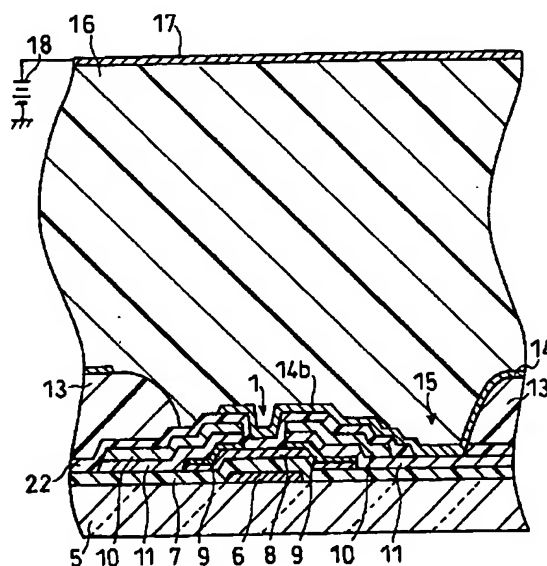
最終頁に続く

(54) 【発明の名称】 イメージセンサおよびその製造方法

(57) 【要約】

【課題】 TFTアクティブマトリクス基板を用いたイメージセンサにおいて、画素電極と信号線との間の容量増加を抑えつつ、ダブルゲート構造による電荷の開放を効果的に行う。

【解決手段】 透明絶縁性基板5上に、走査線3およびスイッチング素子1のゲート電極6を形成し、ゲート絶縁膜7、半導体層8、ソース、ドレイン電極となるn<sup>+</sup>-Si層9をそれぞれ積層し、パターニングした後、誘電体層22を成膜し、コンタクトホール15の部分をエッチングによって除去し、感光性樹脂を塗布して層間絶縁膜13を成膜する。その後、画素電極14から透明電極14bをスイッチング素子1上にまで延伸して形成し、変換層16および電極となる金属層17を蒸着する。したがって、層間絶縁膜13によって画素電極と信号線との間の容量増加を抑え、また透明電極14bがトップゲートとなって過剰電荷の開放を行う。



【特許請求の範囲】

【請求項1】複数の各画素で入射電磁波を電荷に変換し、画素電極で収集された前記電荷をスイッチング素子を介して順次読出すことでイメージ信号を出力するイメージセンサにおいて、

前記各画素電極の下層に配置された有機膜から成る層間絶縁膜と、

前記画素電極から前記スイッチング素子の upper 層まで延伸される導電膜と、

前記スイッチング素子と導電膜との間に介在される誘電体層とを含むことを特徴とするイメージセンサ。

【請求項2】前記スイッチング素子の upper 層で、前記誘電体層と導電膜との間に、さらに前記層間絶縁膜を形成することを特徴とする請求項1記載のイメージセンサ。

【請求項3】前記層間絶縁膜は、前記スイッチング素子の upper 層の部分を、残余の部分よりも薄く形成することを特徴とする請求項2記載のイメージセンサ。

【請求項4】複数の各画素で入射電磁波を電荷に変換し、画素電極で収集された前記電荷をスイッチング素子を介して順次読出すことでイメージ信号を出力するイメージセンサにおいて、

前記画素電極から前記スイッチング素子の upper 層まで延伸される導電膜と、

前記各画素電極の下層に配置され、前記スイッチング素子の upper 層の部分が残余の部分よりも薄く形成される有機膜から成る層間絶縁膜とを含むことを特徴とするイメージセンサ。

【請求項5】前記層間絶縁膜は、感光性の有機膜から成ることを特徴とする請求項3または4記載のイメージセンサ。

【請求項6】絶縁性基板上に、複数のスイッチング素子と複数の走査線と複数の信号線とを形成する工程と、これらの upper 層に感光性有機膜から成る層間絶縁層を成膜する工程と、

成膜された感光性有機膜に露光、現像を施す工程と、前記層間絶縁膜上に画素電極を形成する工程と、

前記画素電極上に入射電磁波を電荷に変換する変換手段を形成する工程とを含むイメージセンサの製造方法であって、

前記感光性有機膜に対して、スイッチング素子のドレインに接続された電極上の少なくとも一部と、該スイッチング素子上の少なくとも一部とに施す露光量が相互に異なることを特徴とするイメージセンサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光やX線などの入射電磁波を電荷に変換し、順次読出すことでイメージ信号を出力するイメージセンサおよびその製造方法に関する。

【0002】

【従来の技術】従来から、液晶表示装置などに用いられるアクティブマトリクス基板においては、個々の独立した画素電極がマトリクス状に配置され、この画素電極のそれぞれに設けられている TFT（薄膜トランジスタ）等のスイッチング素子を走査線によって順次選択し、該スイッチング素子を介して信号線の電位を前記各画素電極に書き込むことで、画像表示が実現されている。

【0003】ところで、このようなアクティブマトリクス基板は、イメージセンサに適用することができる。たとえば、該アクティブマトリクス基板の upper 層に、前記光やX線などの入射電磁波を直接電荷に変換する変換層を形成し、ここで発生した電荷を強電圧によって各画素の容量に蓄積させ、これを順次読出すタイプのイメージセンサがある。これは、たとえば特開平4-212458号公報に記載されているような形態をとるものであって、変換層において生成された電荷が補助容量に蓄積されることで、被写体の形態に応じてそれぞれの画素に電荷としてのデータが保存される。そして、その電荷を、たとえば前記液晶表示装置の場合と同様に順次走査線を選択してゆくことで、選択された画素のデータがスイッチング素子を介して信号線に読出され、該信号線他端に設けられているオペアンプなどの信号読出し回路からは、該イメージセンサに映された被写体像が画像データとして取出される。

【0004】このような形態のイメージセンサは、前記変換層を形成する前の段階であるアクティブマトリクス基板部分に関しては、前記液晶表示装置の生産プロセスをそのまま展開して、前記補助容量の大きさやスイッチング素子の時定数などをイメージセンサ用に最適化するだけで実現可能であり、生産にあたっては、新たな設備投資などを必要とせず、安価に生産することが可能である。

【0005】図5は、従来からのアクティブマトリクス基板を用いた基本的なイメージセンサの具体的な一構造例を示す断面図である。この構造は、M. Ikeda 他による“Real-time Imaging Flat Panel X-Ray Detector”（AM-LCD'99）に示されているものである。透明絶縁性基板55上に、ゲート電極56および図示しない補助容量電極、ゲート絶縁膜57、半導体層58、ソース、ドレイン電極となる $n^+$ -Si層59、ソース信号線となる金属層60および透明導電膜61、保護膜62が順次形成されてスイッチング素子51が形成され、さらにX線から電荷への変換を行う変換層66およびその upper 層に前記変換層66に電圧を印加するための電極となる金属層67が蒸着され、イメージセンサの基板部分が完成する。前記透明導電膜61が、変換層66で変換された電荷を蓄積する画素電極となる。

【0006】一方、各画素電極に電荷を与える液晶表示装置とは異なり、イメージセンサは、各画素電極で蓄積

された電荷を読出すものである。このため、通常はある一定周期で読出されるべきところが、故障や信号読出しプログラムの不具合などで正常な読出しが行われなかった場合などでは、予想外の大きな電荷が画素電極に蓄積されてしまい、これが高電圧となってアクティブマトリクス基板を破壊するおそれがある。このことについては、Can. J. Phys. (Suppl) 74: S131-S134 (1996) において、D. Waechterらによって論じられており、破壊を防ぐための方法として、画素電極をスイッチング素子上に延伸し、これをダブルゲートトランジスタの一方のゲート電極として作用させ、或る一定の電圧以上ではトランジスタがオン状態となって電荷が開放される構造も提案されている。

【0007】特に大きな効果があるイメージセンサの構造としては、図6に示すように、ソースライン71とは異なる層に画素電極72を配置し、これら両層の間が絶縁膜73で隔たれているために、トランジスタ74のチャネル部Wを全体的に覆うことができる、いわゆるマッシュルーム構造が提案されている。この図6において、参照符75はゲート電極であり、76はドレイン電極であり、77は補助容量であり、78は変換層であり、79は半導体層である。

【0008】この図6で示すWaechterらの構造では、画素電極72が高電圧に上昇してしまうことに対しては大きな効果を有するけれども、画素電極72の大きさは、上記図5で示すような従来のアクティブマトリクス基板程度しか見込めないという問題がある。すなわち、一般に、画素電極72が占める割合が大きい程、変換層78で発生した電荷を効率良く画素電極72に収集することができるけれども、通常のアクティブマトリクス基板では平面的にソースバスラインから離して画素電極を配置することから、おのずとその大きさに限界が生ずる。

【0009】この点、Waechterらの構造では、前述のようにソースライン71と画素電極72との間に絶縁膜73が存在するので、ソースライン71に重なるように画素電極72を配置しても、これらの間の絶縁は保たれる。しかしながら、このときには画素電極72とソースライン71とによる静電容量が発生し、前記信号読出し回路側から見たソースライン71の全体での容量が増加して、取出される信号のノイズが増加し、S/N比の低下を招いてしまう。このため、上記のように画素電極72の大きさは従来のアクティブマトリクス基板程度しか見込めないことになる。

【0010】すなわち、X線イメージセンサでは、画素容量を大きくとっている場合が多いので、画素電極72とソースライン71との間の容量は、そのままの容量値がソースライン71の負荷となることが多い。一方、一般に、信号読出しアンプで発生した内在雑音は、前記ソ

ースライン71の容量と信号容量との比に準じたゲインで増幅されることになるので、前記内在雑音を減らすためには、前記ソースライン71の容量を減らすことが重要である。

【0011】また、前記ソースライン71の容量増加によつては、X線照射部分のイメージに対応した画素電位の変動によって、画素電極72とソースライン71との間の容量Csd (1画素当り) に対応したソースライン71の電位変動が生じるという問題がある。たとえば、或る走査線が選択されて、ソースライン71を介して信号の読出しが行われている場合にも、他の画素電極には電荷が蓄積され続けており、ソースライン71には、これとは逆極性で容量Csdに比例した電荷が蓄積され続ける。この電荷量は画面全体のイメージの如何によってそれぞれ異なるので、読出しの瞬間にソースライン71と平行な方向の画素電極の影響を受けて、いわゆるクロストークが発生する。

【0012】そこで、前記ソースライン71の容量を減らすために、たとえばW. denBoer他による“Similarities between TFT Arrays for Direct-Conversion X-Ray Sensors and High-Aperture AMLCDs” (SID 98 DIGEST) に示されているように、感光性樹脂から成る層間絶縁膜を用いることが考えられる。

【0013】そのイメージセンサの構造を図7に示す。このイメージセンサは、本件出願人が先に特願平11-65520号で提案した開口率の向上および液晶の配向不良の抑制といった効果を得ることができる特殊な構造のアクティブマトリクス基板の製造プロセスをそのまま用いるものである。この図7の構成において、前述の図5の構成に対応する部分には同一の参照符号を付して示す。

【0014】このイメージセンサでは、透明導電膜61上に保護膜62が成膜されると、コンタクトホール65の部分がエッチングによって除去され、続いて、感光性樹脂がスピン塗布法によって塗布され、層間絶縁膜63が成膜される。その後、前記コンタクトホール65が通常のフォトリソ工程によって形成され、このコンタクトホール65を介して、層間絶縁膜63上に形成される画素電極64はスイッチング素子51のドレイン電極と接続される。

【0015】このように形成されたアクティブマトリクス基板では、走査線および信号線と画素電極64との間には層間絶縁膜63が形成されているので、前記信号線に対して画素電極64をオーバーラップさせることが可能となる。このような特殊な構造によって、前記開口率の向上を図ることができるとともに、信号線および走査線に起因する電界をシールドすることによって、イメージセンサにおいては変換層66の動作不良の抑制といっ

た効果を得ることができる。

【0016】また、画素電極64はソース信号線と重なるように配置されても、層間絶縁膜63の膜厚が十分厚く、誘電率も低いので、容量の増加とはならず、S/N比の悪化もみられない。また、前記図5で示すアクティブマトリクス基板を用いたイメージセンサよりも収集される信号量を僅かながら多くすることができる。

【0017】そして、この構造に、前記ダブルゲート構造を取入れると、図8で示すようになる。図8において、図7に対応する部分には、同一の参照符号を付して示す。このイメージセンサでは、スイッチング素子51上において、層間絶縁膜63を介して、画素電極64から延伸された透明導電膜64aが形成されている。このため、前記保護膜62もスイッチング素子51のチャネル領域では削除されている。

【0018】前述のように、故障や信号読出しプログラムの不具合などで正常な読出しが行われなかった場合、画素電極64上には図8で示すように正極性の電荷が蓄積され続ける。前記図7で示す構成では、これがやがてスイッチング素子51を破壊するに足る高電圧にまで達するおそれがあったけれども、本構成では、画素電位が一定電圧に達した段階で前記延伸された透明導電膜64aが前記ダブルゲートの一方のゲート電極として働き、スイッチング素子51が弱い導通状態となって、過剰な電荷をソース信号線64に逃がす。

【0019】この点、従来の過剰電荷防止構造、たとえば前記図6で示すマッシュルーム構造では、トップゲート72と半導体層79の間が通常のアクティブマトリクスで用いられるのと同様の窒化シリコンや酸化シリコンで形成されており、誘電率が高い上、プロセス上の制約や成膜時間の制約で膜厚をスピン塗布法で形成される樹脂層は厚く積層することができない。したがって、比較的低い画素電位で電荷が逃げる構造となってしまう、蓄えられる電荷量を大きく設定することができない。これは、S/N比の低下につながるために都合が悪く、図8で示す構成の優れた点である。

【0020】

【発明が解決しようとする課題】上記の説明から明らかなように、層間絶縁膜63には、低い誘電率と厚い膜厚が求められることになる。しかしながら、そのようにすると、前述のダブルゲートのトップゲートによるスイッチング素子51の導通状態を弱くしすぎてしまうという問題がある。すなわち、層間絶縁膜63の性質によっては、前述の画素電極64とソース信号線との間の容量増加に対しては効果を発揮するけれども、ダブルゲート構造の利点である電荷の開放に対する効果が小さくなってしまいう問題がある。

【0021】また、変換層66で生じる電荷量と、画素容量の大きさによっては、画素電極64に蓄積される電荷量が非常に小さい場合がある。この場合は、前述の

ような高電位に至るよりも、トップゲートによる電荷の放出が生じて問題はなく、むしろイメージセンサのように微弱電荷を扱う場合はスイッチング素子51の画素毎のパラツキが非常に問題となるので、通常使用では生じない僅かに高い電位によって電荷が放出される方が都合がよい。

【0022】すなわち、一度でも、数十V程度の前記通常使用では生じない僅かに高い電圧が該スイッチング素子51に印加されてしまった後には、ゲート絶縁膜にトラップ順位が形成されたり、可動電荷の捕捉によって特性異常が生じる。また、比較的低い電圧でも、たとえば画素に信号電荷が蓄積されたままで走査が途切れた場合など、長時間に亘って直流的な電圧が印加されると、同様の特性異常が生じる。微弱信号を扱うイメージセンサのような系では、これらの特性の正常値からのずれは、取出される信号の電荷量のパラツキとして顕著に現れるので、前記特性異常の発生を防止する必要がある。

【0023】しかしながら、上記図8で示す構成では、十分な高電圧でしかスイッチング素子51は導通せず、このような通常使用では生じない僅かに高い電圧ではトップゲートによる電荷の放出が生じることはない。

【0024】本発明の目的は、画素電極と信号線との間の容量増加を抑えつつ、ダブルゲート構造による電荷の開放を効果的に行うことができるイメージセンサおよびその製造方法を提供することである。

【0025】

【課題を解決するための手段】本発明のイメージセンサは、複数の各画素で入射電磁波を電荷に変換し、画素電極で収集された前記電荷をスイッチング素子を介して順次読出すことでイメージ信号を出力するイメージセンサにおいて、前記各画素電極の下層に配置された有機膜から成る層間絶縁膜と、前記画素電極から前記スイッチング素子の層まで延伸される導電膜と、前記スイッチング素子と導電膜との間に介在される誘電体層とを含むことを特徴とする。

【0026】上記の構成によれば、まずアクティブマトリクス基板部分で、走査線および信号線と画素電極との間に層間絶縁膜が形成されることで、前記信号線に対して画素電極をオーバーラップさせることが可能となり、開口率の向上、信号線および走査線に起因する電界をシールドすることによる変換層の動作不良の抑制といった効果を得ることができる。

【0027】また、誘電率の低い有機膜を厚く形成することが容易であるので、画素電極とソース信号線との間の静電容量を小さく抑えることができ、該ソース信号線の容量増加によるノイズの増加を防ぎ、S/N比の向上を図ることができる。さらにまた、従来の液晶表示装置に用いられていた製造プロセスを変更することなくアクティブマトリクス基板部分を製造できるので、新たな設備投資などが必要となることもない。

【0028】さらにまた、前記スイッチング素子の上層に、前記画素電極から導電膜を延伸しているため、故障や信号読出しプログラムの不具合などで正常な読み出しが行われなかった場合など、予想外の大きな電荷が画素電極に蓄積された場合でも、或る一定の電圧以上ではスイッチング素子がオン状態となって電荷が解放され、アクティブマトリクス素子が破壊されるのを防ぐことができる。

【0029】また、スイッチング素子と導電膜との間に誘電体層を介在するので、或る一定の電圧以上でトランジスタがオン状態となる際、この特性は導電膜とスイッチング素子との間に介在された誘電体層の膜厚と誘電率とによって左右され、層間絶縁膜とは独立してこれを設定することができる。すなわち、最適な過剰電圧放出特性を維持しつつ、画素電極とソース信号線との間の静電容量を小さく抑えることができ、 $S/N$ 比の向上との両立を図ることができる。

【0030】また、本発明のイメージセンサは、前記スイッチング素子の上層で、前記誘電体層と導電膜との間に、さらに前記層間絶縁膜を形成することを特徴とする。

【0031】上記の構成によれば、アクティブマトリクス基板のうちで最も凹凸の激しいスイッチング素子の上層に、誘電体層に加えて前記有機膜から成る層間絶縁膜を形成するので、前記誘電体層だけでは十分吸収しきれない前記凹凸を緩和し、前記変換層としてセレンウムを使用しても、該凹凸を起点とした結晶化を抑え、安定して成膜することができる。

【0032】さらにまた、本発明のイメージセンサでは、前記層間絶縁膜は、前記スイッチング素子の上層の部分、残余の部分よりも薄く形成することを特徴とする。

【0033】上記の構成によれば、過剰電圧の放出特性は画素電極から延伸された導電膜とスイッチング素子との間の部分の層間絶縁膜の膜厚と誘電率とによって左右され、画素電極とソース信号線との間の静電容量を形成する部分の層間絶縁膜とは独立して、これを設定することができる。すなわち、最適な過剰電圧放出特性を維持しつつ、 $S/N$ 比の向上との両立を図ることができる。

【0034】また、本発明のイメージセンサは、複数の各画素で入射電磁波を電荷に変換し、画素電極で収集された前記電荷をスイッチング素子を介して順次読出すことでイメージ信号を出力するイメージセンサにおいて、前記画素電極から前記スイッチング素子の上層まで延伸される導電膜と、前記各画素電極の下層に配置され、前記スイッチング素子の上層の部分、残余の部分よりも薄く形成される有機膜から成る層間絶縁膜を含むことを特徴とする。

【0035】上記の構成によれば、過剰電圧の放出特性は画素電極から延伸された導電膜とスイッチング素子と

の間の部分の層間絶縁膜の膜厚と誘電率とによって左右され、画素電極とソース信号線との間の静電容量を形成する部分の層間絶縁膜とは独立して、これを設定することができる。すなわち、最適な過剰電圧放出特性を維持しつつ、 $S/N$ 比の向上との両立を図ることができる。

【0036】さらにまた、本発明のイメージセンサでは、前記層間絶縁膜は、感光性の有機膜から成ることを特徴とする。

【0037】上記の構成によれば、アクティブマトリクス基板のうちで最も凹凸の激しいスイッチング素子の上層には感光性の有機膜から成る層間絶縁膜が形成されるため、エッチングのような変異点を生じることなく、前記凹凸を吸収したなだらかな表面を形成することができる。変換層が前記凹凸を起点として結晶化し易いセレンウムであっても、安定して成膜することができる。

【0038】また、本発明のイメージセンサの製造方法は、絶縁性基板上に、複数のスイッチング素子と複数の走査線と複数の信号線とを形成する工程と、これらの上層に感光性有機膜からなる層間絶縁層を成膜する工程と、成膜された感光性有機膜に露光、現像を施す工程と、前記層間絶縁膜上に画素電極を形成する工程と、前記画素電極上に入射電磁波を電荷に変換する変換手段を形成する工程とを含むイメージセンサの製造方法であって、前記感光性有機膜に対して、スイッチング素子のドレインに接続された電極上の少なくとも一部と、該スイッチング素子上の少なくとも一部とに施す露光量が相互に異なることを特徴とする。

【0039】上記の構成によれば、層間絶縁膜よりも下層の配線パターンによる凹凸が該層間絶縁膜によって緩和され、上層の入射したX線を電荷に変換する変換手段における特性不良を防ぐことができる。また、感光性樹脂を用いることで、層間絶縁膜のパターンエッジにおいても滑らかな断面形状が得られるため、さらに変換手段における特性不良を防ぐことができる。また、ソース信号線に重なるように画素電極を配置することができるため、画素電極が占める割合を大きくとることができ、変換手段で発生した電荷を効率良く画素電極に収集することができる。さらに、故障や信号読出しプログラムの不具合などで正常な読み出しが行われなかった場合など、予想外の大きな電荷が画素電極に蓄積された場合でも、或る一定の電圧以上ではスイッチング素子がオン状態となって電荷が解放され、アクティブマトリクス素子が破壊されるのを防ぐことができる。しかも、最適な過剰電圧放出特性を維持しつつ、画素電極とソース信号線との間の静電容量を小さく抑えることができ、 $S/N$ 比の向上との両立を図ることができる。

【0040】そして、スイッチング素子の過剰電圧放出特性を決定する部分の層間絶縁膜と、画素電極とソース信号線との間の静電容量を決定する部分の層間絶縁膜との膜厚を、露光量だけで決定することができ、極めて容

易に最適値に制御することができ、工程数の増加を招くこともない。

#### 【0041】

【発明の実施の形態】本発明の実施の第1の形態について、図1および図2に基づいて説明すれば、以下のとおりである。

【0042】図1は、本発明の実施の第1の形態のイメージセンサの正面図であり、図2は、その切断面線B-Bから見た断面図である。透明絶縁性基板5上には、走査線3およびスイッチング素子1のゲート電極6ならびに図示しない補助容量配線が形成される。次に、ゲート絶縁膜7、半導体層8、ソース、ドレイン電極となる $n^+$ -Si層9がそれぞれ積層され、パターニングされる。その方法やパターンの特徴は、前記特願平11-65520号と同様である。続いて、ソース信号線4となる金属層10および透明導電膜11が積層され、パターニングされる。これらの配線やパターンを2層の積層構造にしているのは、積層時のダストなどによる断線に対する冗長としての効果や、上層の金属膜のパターニング時の下地へのダメージの防止などを図るためである。

【0043】次に、誘電体層22が成膜され、コンタクトホール15の部分をエッチングによって除去する。続いて、感光性のアクリル系透明樹脂がスピン塗布法によって塗布され、層間絶縁膜13が成膜される。この樹脂は、たとえばポジ型の感光性を有するもので、比誘電率は3、厚みは2 $\mu$ mである。そして、コンタクトホール15の部分を露光し、通常のフォトリソ工程と同様に現像処理が施される。このように層間絶縁膜13が形成された後、画素電極14となる透明導電層が成膜され、エッチングによってパターニングされる。ここで、画素電極14は誘電体層22および層間絶縁膜13を貫くコンタクトホール15を介して、スイッチング素子1のドレイン電極と接続される。

【0044】そして、このイメージセンサにおいて注目すべきは、スイッチング素子1上において、誘電体層22を介して、画素電極14から延伸された透明導電膜14bが配置されていることである。前記誘電体層12は、従来のアクティブマトリクス基板でも保護膜として配されているもので、スイッチング素子1の信頼性を向上させる目的で形成され、多くは窒化シリコンもしくは酸化シリコンが用いられ、その膜厚は数千Åである。スイッチング素子1上の領域では、露光、現像によって前記層間絶縁膜13は去除されており、前記画素電極14から延伸された透明導電膜14bは該誘電体層12と接触している。

【0045】このように形成されたアクティブマトリクス基板の上層に、たとえば真空蒸着法によってセレンウムから成る前記変換層16が蒸着され、さらにその上層に、該変換層16に電圧を印加するための電極となる金属層17が蒸着され、イメージセンサの基板部分が完成す

る。前記変換層16には、図18によって正バイアスが与えられる。

【0046】上述のように形成されたアクティブマトリクス基板では、走査線3および信号線4と画素電極14との間には層間絶縁膜13が形成されているので、前記信号線4に対して画素電極14をオーバーラップさせることが可能となる。このような特殊な構造によって、前記開口率の向上、信号線4および走査線3に起因する電界をシールドすることによる変換層16の動作不良の抑制といった効果を得ることができる。また、画素電極14はソース信号線4と重なるように配置されているけれども、層間絶縁膜13の膜厚が十分厚く、誘電率も低いので、容量の増加とはならず、S/N比の悪化を抑えることもできる。

【0047】そして、スイッチング素子1上には、誘電体層12を介して、画素電極14から延伸された透明導電膜14aが形成されている。このため、該透明導電膜14aは前記ダブルゲートのトップゲートとして働き、通常使用よりも僅かに高い電位によってスイッチング素子1が導通状態となり、過剰な電荷をソース信号線14に逃がす。

【0048】したがって、前記通常使用よりも僅かに高い電位によって電荷が放出されると、直流的な電圧の印加の程度が小さく、またより高い電圧が加わった場合には、スイッチング素子1はより強い導通状態となり、極めて小さい時定数で放電を行うことができる。すなわち、前記数 $\mu$ mの厚みの層間絶縁膜63ではなく、前記数千Å厚の誘電体層12の方が、ボトムゲート6を構成するゲート絶縁膜7に近いので、上記の要求に合致しやすく、前述の画素毎の特性ずれの防止効果を大きくすることができる。

【0049】また、前記誘電体層12は、CVDなどの蒸着法によって成膜されており、スピン塗布法による層間絶縁膜63よりも膜厚制御し易いという利点もあり、さらに有機膜と異なり非常に安定した性質であるので、使用中の電界による絶縁膜の特性変化も起こりにくい。これらの性格は、使用中のトップゲートによるスイッチング効果の変動による漏れ電流の増加や画素の高電圧からの保護特性の劣化を防ぐ上で非常に重要なものである。

【0050】なお、上記の説明では、画素電極14に正電荷が蓄積され、過剰になるとスイッチング素子1がプラスバイアスによって導通する構造を説明したけれども、スイッチング素子1がマイナスバイアスで導通する構造（たとえばpチャネルのトランジスタ）と変換層16への負バイアスという組み合わせでも同じ効果があることは言うまでもない。

【0051】本発明の実施の第2の形態について、図3に基づいて説明すれば、以下のとおりである。

【0052】図3は、本発明の実施の第2の形態のイメ



ーシセンサの断面図である。このイメージセンサは、前述の図1および図2で示すイメージセンサに類似し、対応する部分には、同一の参照符号を付して示す。注目すべきは、このイメージセンサでは、スイッチング素子1上において、保護膜12および層間絶縁膜13を介して、画素電極14から延伸された透明導電膜14aが配置されていることである。すなわち、スイッチング素子1のチャネル領域上にも保護膜12が形成されるとともに、層間絶縁膜13および透明導電膜14aも形成される。

【0053】この構造は、スイッチング素子1の信頼性向上と、低電圧でのトップゲートによる漏れ電流の防止の点で前記図8で示す構成と、上記図1および図2で示す構成との利点を兼ね備えている。その上、図1および図2で示す構成では、アクティブマトリクス基板のうちで最も凹凸の激しいスイッチング素子1の上層が誘電体層22のみを介して変換層16に接しており、この誘電体層22だけでは凹凸を十分吸収しきれないこともあったけれども、本構造では凹凸は吸収されてならかな表面となるので、前記変換層16が前記凹凸を起点として結晶化し易いセレンウムであっても、安定して成膜することができる。

【0054】層間絶縁膜13の膜厚は、保護膜12と合わせて最も適した特性となるよう設定すればよい。すなわち高電圧によるスイッチング素子1の素子破壊を防ぐに足る電流電圧特性と、正常動作時の漏れ電流の防止とのバランスに鑑みて絶縁電容量を設定し、これを満たすように、無機膜である保護膜12の成膜可能な厚みと、変換層16に不良を生じないための有機膜である層間絶縁膜13の厚みとをそれぞれ設定すればよい。

【0055】本発明の実施の第3の形態について、図4に基づいて説明すれば、以下のとおりである。

【0056】図4は、本発明の実施の第3の形態のイメージセンサの断面図である。このイメージセンサは、前述の図3で示すイメージセンサに類似している。このイメージセンサでは、スイッチング素子1の上層の層間絶縁膜13aと、残余の部分の層間絶縁膜13との厚みが異なるように構成されている。すなわち、スイッチング素子1上の層間絶縁膜13aは、高電圧によるスイッチング素子の破壊を防ぎ、かつ正常動作時に漏れ電流が生じないように膜厚に設定される。一方、残余の部分の層間絶縁膜13はソース信号線4と走査線3との交差部などの段差の緩和、および画素電極14とソース信号線4との間の容量の低減を重視して、より厚い、前記2 $\mu$ mである。

【0057】このような構成は、層間絶縁膜13に感光性の有機膜を用いることで、以下の製造プロセスで極めて容易に作成することができる。すなわち、従来のアクティブマトリクス基板と同様の手順でソース信号線4となる金属層10および透明導電膜11までを形成した

後、保護膜12を成膜し、コンタクトホール15の部分をエッチングによって除去する。次に、感光性のアクリル系透明樹脂をスピン塗布法によって膜厚2 $\mu$ mに成膜する。さらにスイッチング素子1上を弱めの紫外光露光、または通常の紫外光で短時間露光した後、さらにコンタクトホール15の部分を十分に露光する。この樹脂はポジ型の感光性を有するものであるため、露光された部分は通常のフォト工程と同様の現像処理によって取除かれる。ただし、スイッチング素子1上は十分な露光量が与えられていないので、上層は現像によって取除かれるものの、完全にはなくならずに基板上に残存し、これが薄い前記層間絶縁膜13aの部分となる。

【0058】このように、露光量の切換えのみで極めて簡単に、しかも工程数の増加を招くことなく、膜厚の異なる層間絶縁膜13a、13を形成した後、画素電極14となる透明導電層を成膜し、エッチングによってパターンニングすることで、イメージセンサのアクティブマトリクス部分が完成する。層間絶縁膜13が完全に取除かれる部分も、膜厚が薄くなっている部分13aも、フォト工程による現像で感光性有機膜の特徴であるならかな断面を得ることができ、懸念される特異点を生じることではない。

【0059】以上のように各実施の形態では、変換層16を形成する前の段階であるアクティブマトリクス基板部分に関しては、従来からの液晶表示装置に用いられる生産プロセスをそのまま展開して実現可能であり、生産にあたっては新たな設備投資などを必要とせず、安価に生産することが可能である。

【0060】

【発明の効果】本発明のイメージセンサは、以上のように、各画素電極の下層に有機膜から成る層間絶縁膜を配置し、前記画素電極からスイッチング素子の上層まで導電膜を延伸するとともに、前記スイッチング素子と導電膜との間に誘電体層を介在する。

【0061】それゆえ、まずアクティブマトリクス基板部分で、走査線および信号線と画素電極との間に層間絶縁膜が形成されることで、前記信号線に対して画素電極をオーバーラップさせることが可能となり、開口率の向上、信号線および走査線に起因する電界をシールドすることによる変換層の動作不良の抑制といった効果を得ることができる。

【0062】また、誘電率の低い有機膜を厚く形成することが容易であるので、画素電極とソース信号線との間の静電容量を小さく抑えることができ、該ソース信号線の容量増加によるノイズの増加を防ぎ、S/N比の向上を図ることができる。さらにまた、従来の液晶表示装置に用いられていた製造プロセスを変更することなくアクティブマトリクス基板部分を製造できるので、新たな設備投資などが必要となることもない。

【0063】さらにまた、前記スイッチング素子の上層



に、前記画素電極から導電膜を延伸しているので、故障や信号読出しプログラムの不具合などで正常な読み出しが行われなかった場合など、予想外の大きな電荷が画素電極に蓄積された場合でも、或る一定の電圧以上ではスイッチング素子がオン状態となって電荷が解放され、アクティブマトリクス素子が破壊されるのを防ぐことができる。

【0064】また、スイッチング素子と導電膜との間に誘電体層を介在するので、或る一定の電圧以上でトランジスタがオン状態となる際、この特性は導電膜とスイッチング素子との間に介在された誘電体層の膜厚と誘電率とによって左右され、層間絶縁膜とは独立してこれを設定することができる。すなわち、最適な過剰電圧放出特性を維持しつつ、画素電極とソース信号線との間の静電容量を小さく抑えることができ、 $S/N$ 比の向上との両立を図ることができる。

【0065】また、本発明のイメージセンサは、以上のように、アクティブマトリクス基板のうちで最も凹凸の激しいスイッチング素子の上層で、前記誘電体層と導電膜との間に、さらに前記層間絶縁膜を形成する。

【0066】それゆえ、前記誘電体層だけでは十分吸収しきれない前記凹凸を緩和し、前記変換層としてセレンウムを使用しても、該凹凸を起点とした結晶化を抑え、安定して成膜することができる。

【0067】さらにまた、本発明のイメージセンサは、以上のように、前記層間絶縁膜を、前記スイッチング素子の上層の部分は、残余の部分よりも薄く形成する。

【0068】それゆえ、過剰電圧の放出特性は画素電極から延伸された導電膜とスイッチング素子との間の部分の層間絶縁膜の膜厚と誘電率とによって左右され、画素電極とソース信号線との間の静電容量を形成する部分の層間絶縁膜とは独立して、これを設定することができる。すなわち、最適な過剰電圧放出特性を維持しつつ、 $S/N$ 比の向上との両立を図ることができる。

【0069】また、本発明のイメージセンサは、以上のように、各画素電極および該画素電極からスイッチング素子の上層まで延伸される導電膜の下層に有機膜から成る層間絶縁膜を配置し、該層間絶縁膜を、前記スイッチング素子の上層の部分は、残余の部分よりも薄く形成する。

【0070】それゆえ、画素電極とソース信号線との間の静電容量を形成する部分の層間絶縁膜とは独立して、過剰電圧放出特性を設定することができ、最適な過剰電圧放出特性を維持しつつ、 $S/N$ 比の向上との両立を図ることができる。

【0071】さらにまた、本発明のイメージセンサは、以上のように、前記層間絶縁膜を、感光性の有機膜とする。

【0072】それゆえ、アクティブマトリクス基板のうちで最も凹凸の激しいスイッチング素子の上層には感光

性の有機膜から成る層間絶縁膜が形成されるので、エッチングのような変異点を生じることなく、前記凹凸を吸収したなだらかな表面を形成することができ、変換層が前記凹凸を起点として結晶化し易いセレンウムであっても、安定して成膜することができる。

【0073】また、本発明のイメージセンサの製造方法は、以上のように、絶縁性基板上に、複数のスイッチング素子と複数の走査線と複数の信号線とを形成する工程と、これらの上層に感光性有機膜からなる層間絶縁膜を成膜する工程と、成膜された感光性有機膜に露光、現像を施す工程と、前記層間絶縁膜上に画素電極を形成する工程と、前記画素電極上に入射電磁波を電荷に変換する変換手段を形成する工程とを含むイメージセンサの製造方法であって、前記感光性有機膜に対して、スイッチング素子のドレインに接続された電極上の少なくとも一部と、該スイッチング素子上の少なくとも一部とに施す露光量が相互に異なる。

【0074】それゆえ、層間絶縁膜よりも下層の配線パターンによる凹凸が該層間絶縁膜によって緩和され、上層の入射したX線を電荷に変換する変換手段における特性不良を防ぐことができる。また、感光性樹脂を用いることで、層間絶縁膜のパターンエッジにおいても滑らかな断面形状が得られるので、さらに変換手段における特性不良を防ぐことができる。また、ソース信号線に重なるように画素電極を配置することができるので、画素電極が占める割合を大きくとることができ、変換手段で発生した電荷を効率良く画素電極に収集することができる。さらに、故障や信号読出しプログラムの不具合などで正常な読出しが行われなかった場合など、予想外の大きな電荷が画素電極に蓄積された場合でも、或る一定の電圧以上ではスイッチング素子がオン状態となって電荷が解放され、アクティブマトリクス素子が破壊されるのを防ぐことができる。しかも、最適な過剰電圧放出特性を維持しつつ、画素電極とソース信号線との間の静電容量を小さく抑えることができ、 $S/N$ 比の向上との両立を図ることができる。

【0075】そして、スイッチング素子の過剰電圧放出特性を決定する部分の層間絶縁膜と、画素電極とソース信号線との間の静電容量を決定する部分の層間絶縁膜との膜厚を、露光量だけで決定することができ、極めて容易に最適値に制御することができ、工程数の増加を招くこともない。

#### 【図面の簡単な説明】

【図1】本発明の実施の第1の形態のイメージセンサの正面図である。

【図2】図1の切断面線B-Bから見た断面図である。

【図3】本発明の実施の第2の形態のイメージセンサの断面図である。

【図4】本発明の実施の第3の形態のイメージセンサの断面図である。

【図5】従来からのアクティブマトリクス基板を用いたイメージセンサの具体的な構造例を示す断面図である。

【図6】他の従来技術のイメージセンサの構造例を示す断面図である。

【図7】さらに他の従来技術のイメージセンサの構造例を示す断面図である。

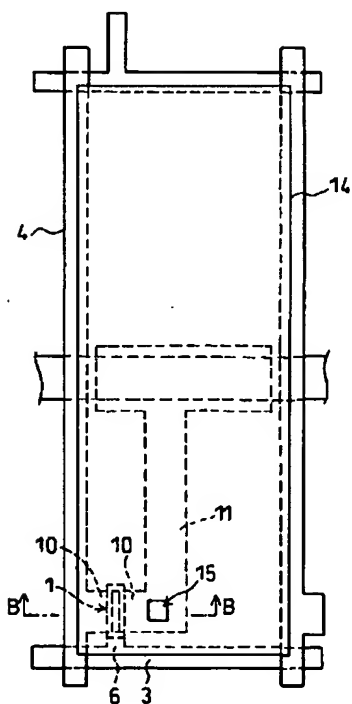
【図8】他の従来技術のイメージセンサの構造例を示す断面図である。

【符号の説明】

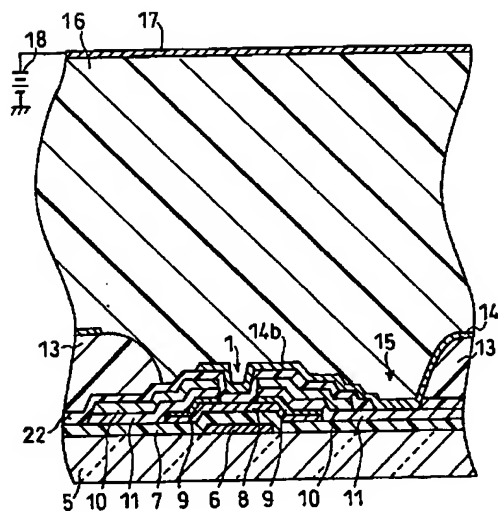
- 1 スイッチング素子
- 3 走査線
- 4 ソース信号線
- 5 透明絶縁性基板
- 6 ゲート電極
- 7 ゲート絶縁膜

- 8 半導体層
- 9  $n^+$ -Si層
- 10 金属層
- 11 透明導電膜
- 12 保護膜
- 13 層間絶縁膜
- 13 a 層間絶縁膜
- 14 画素電極
- 14 a 透明導電膜
- 14 b 透明導電膜
- 15 コンタクトホール
- 16 変換層
- 17 金属
- 18 電源
- 22 誘電体層

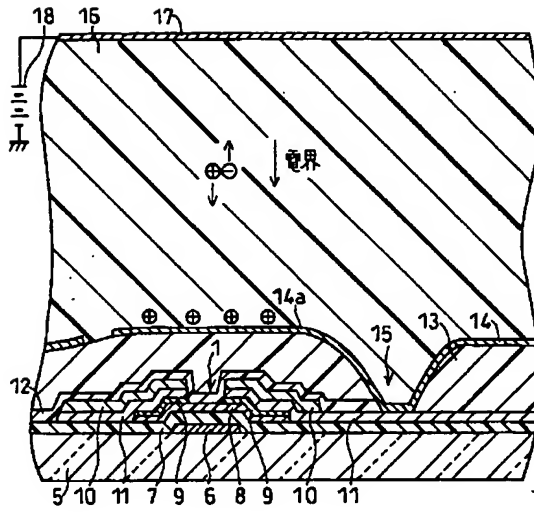
【図1】



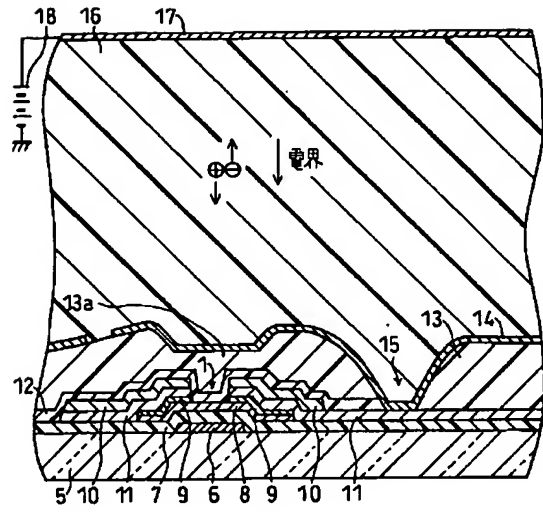
【図2】



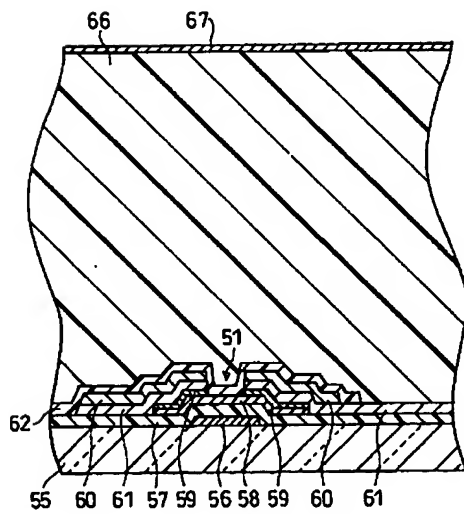
【図3】



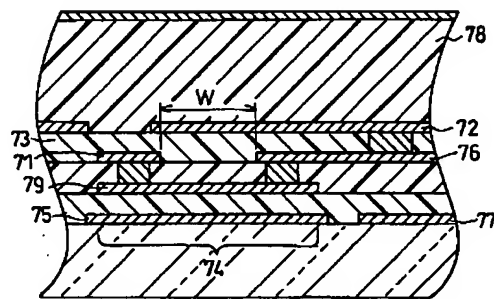
【図4】



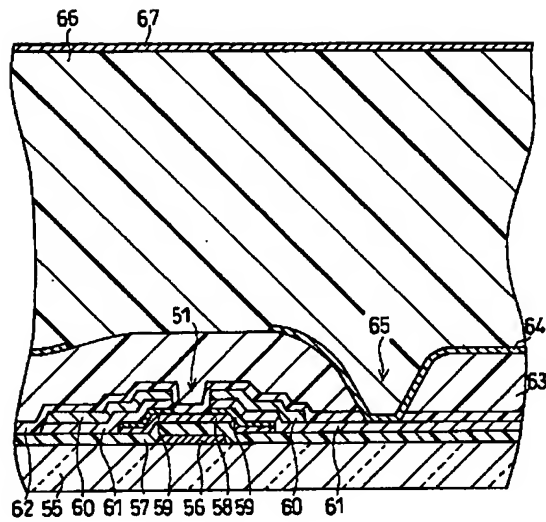
【図5】



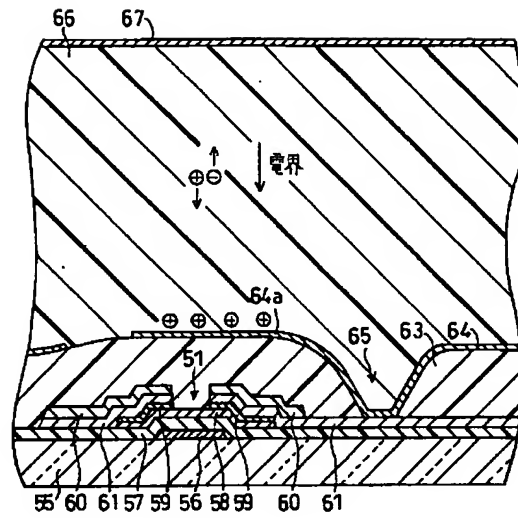
【図6】



【図 7】



【図 8】



フロントページの続き

F ターム(参考) 4M118 AA01 AA02 AB01 AB10 BA05  
CA11 CA14 CB05 FB03 FB09  
FB13 FB19 FB25 FB30  
5F110 BB01 BB10 EE30 NN04 NN05  
NN27 NN36 NN71